

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

(19) KOREAN INTELLECTUAL PROPERTY OFFICE

KOREAN PATENT ABSTRACTS

(11)Publication number: 00144956 B1
(43)Date of publication of application: 24.04.1998

(21)Application number: 94013121
(22)Date of filing: 10.06.1994

(71)Applicant: SAMSUNG ELECTRONICS CO., LTD.
(72)Inventor: HA, SEON HO
LEE, SANG IN

(51)Int. Cl. H01L 21/28

(54) APPARATUS AND METHOD FOR FORMING A WIRE STRUCTURE OF A SEMICONDUCTOR DEVICE

(57) Abstract:



PURPOSE: A method for forming a wire structure of a semiconductor device and an apparatus for performing the same are provided to improve the reliance of the semiconductor device by effectively filling a contact hole or a via hole without creating voids on a semiconductor substrate.

CONSTITUTION: A wire structure of a semiconductor device has a semiconductor substrate(31). An insulation layer(35) is formed on the semiconductor substrate(31). The insulation layer(35) is formed therein with an opening. An anti-diffusion film(37) is formed on both side walls of the opening by a sputter etching process. The anti-diffusion film(37) has a flatton surface. Then, a metal wire layer(41) is formed on the anti-diffusion film(37). The opening includes a via hole or a contact hole.

COPYRIGHT 2000 KIPO

Legal Status

1. Application for a patent (19940610)
2. Decision on a registration (19980312)

Processing

[제 19호 등록특허공보 제88-110645호(1988.1.21. 원공개)]

K0144956

(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(51) Int. Cl.⁶

(11) 등록번호 K0144956

H01L 21/20

(21) 출원번호

특1984-003121

(65) 공개번호

K01986-002460

(22) 출원일자

1984년 05월 10일

(43) 공개일자

1986년 01월 28일

(73) 특허권자

삼성전자주식회사

김광호

(72) 발명자

이상민

경기도 수원시 팔달구 매단동 416번지

이성호

경기도 수원시 팔달구 매단동 197 동남빌라 9동 101호

이영환

서울특별시 은평구 녹번동 103-26

(74) 대리인

이영환, 조현삼, 윤영일

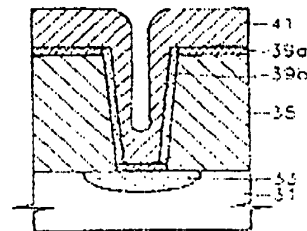
특허청 등록특허공보

(54) 반도체 장치의 배선 구조 및 그 형성방법

요약

콘택홀(Contact hole)이나 비아홀(Via hole)과 같은 개구부를 매층하는 반도체 장치의 배선구조 및 그 형성방법에 관하여 개시한다. 본 발명은 반도체 기판, 상기 반도체 기판 상에 형성되고, 그 내부에 형성된 개구부를 포함하는 절연층, 스퍼터 식각에 의해, 상기 개구부의 측벽에 평갈한 표면을 갖는 확산 방지막, 및 상기 확산 방지막상에 형성되어 있는 금속층을 포함한다. 상기 확산방지막은 내화학성 또는 내열성 금속 화합물로 구성하여, 본 발명에 의하면, 매우한 확산방지막의 측벽에 형성되는 금속층이 알루미늄 원자의 초기 증착특성에 양호함으로 인하여, 알루미늄막의 단차포도성이 양호하고 균일하고 연속적인 막으로 증착된다. 따라서, 고단차의 정복구조를 부이도 없이 효과적으로 매층할 수 있어, 소자의 신뢰성을 향상시킬 수 있다.

도면



본 발명

[발명의 명칭]

반도체 장치의 배선구조 및 그 형성방법

[도면의 간단한 설명]

제1a도 내지 제1c도는 종래의 개구부의 배선 구조를 나타내는 단면도들이다.

제2a도 및 제2b도는 상기 제1a도 내지 제1c도의 확산 방지막상에 알루미늄을 증착하여, 알루미늄막의 초기 형성상을 설명하기 위하여 도시한 도면이다.

제3a도는 본 발명에 의한 반도체 장치의 배선층의 구조를 설명하기 위한 도면이고, 제3b도는 개구부 측벽에 형성된 금속층의 초기 형성상을 설명하기 위한 도면이다.

제4a도 내지 제4d도는 본 발명에 따른 반도체 장치의 배선층 형성방법의 제1 실시예를 나타내는 단면도들이고, 제4e도 및 제4f도는 상기 제4b도 및 제4c도의 개구부 측벽에 형성된 확산방지막의 표면을 설명하기 위하여 확대하여 도시한 도면이다.

제5a도 내지 제5c도는 본 발명에 따른 반도체 장치의 배선층 형성방법의 제2 실시예를 나타내는 단면도들이다.

제6a도 내지 제6c도는 본 발명에 따른 반도체 장치의 배선층 형성방법의 제3 실시예를 나타내는 단면도들이다.

2